

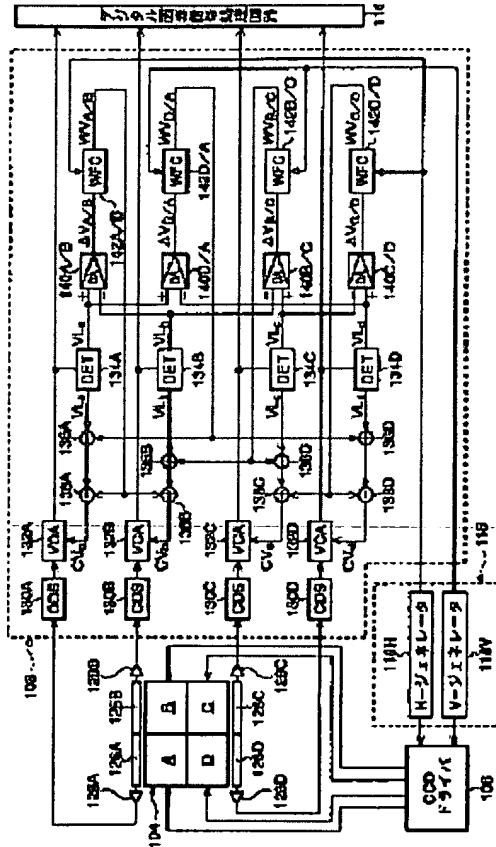
PIXEL SIGNAL PROCESSING UNIT

Patent number: JP10336529
Publication date: 1998-12-18
Inventor: SATO KOICHI
Applicant: ASAHI OPTICAL CO LTD
Classification:
- international: H04N5/335; H04N5/232
- european:
Application number: JP19980093035 19980406
Priority number(s):

Abstract of JP10336529

PROBLEM TO BE SOLVED: To prevent borders of block areas adjacent to each other in an image-sensing region of a CCD image-pickup sensor or the like at reproduction of an image as a luminance difference.

SOLUTION: This pixel signal processing unit processes a pixel signal from 1st and 2nd block regions of an image-sensing region of a solid-state image-pickup sensor 104. A pixel signal read means 106 reads the pixel signal one line each from the 1st and 2nd block regions simultaneously and correspondingly. In this case, the pixel signal at the head among pixel signals included in each line is apart most remote from the borders of the 1st and 2nd block regions, and the pixel signal at the final end among the pixel signal included in each line is closest to the border, a signal level adjustment means (123A or the like) gradually decreases the level difference between the level of the pixel signal from the 1st block region and the level of the pixel signal from the 2nd block-region toward-the-border, so-as-to-substantially-match the levels of the pixel signals at the final end lines.



THIS PAGE IS FOR YOUR USE

(19)



JAPANESE PATENT OFFICE

JPA10-336529

which corresponds to

USP 6,337,713

(11) Publication number: 10336529 A

(43) Date of publication of application: 18.12.98

(51) Int. Cl

H04N 5/335

H04N 5/232

(21) Application number: 10093035

(71) Applicant: ASAHI OPTICAL CO LTD

(22) Date of filing: 06.04.98

(72) Inventor: SATO KOICHI

(30) Priority: 04.04.97 JP 09102750

(54) PIXEL SIGNAL PROCESSING UNIT

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

特開平10-336529

(43)公開日 平成10年(1998)12月18日

(51) Int. Cl.

H04N 5/335
5/232

識別記号

F I

H04N 5/335
5/232P
Z

審査請求 未請求 請求項の数15 O L (全18頁)

(21)出願番号 特願平10-93035

(22)出願日 平成10年(1998)4月6日

(31)優先権主張番号 特願平9-102750

(32)優先日 平9(1997)4月4日

(33)優先権主張国 日本 (JP)

(71)出願人 000000527

旭光学工業株式会社

東京都板橋区前野町2丁目36番9号

(72)発明者 佐藤 公一

東京都板橋区前野町2丁目36番9号 旭光

学工業株式会社内

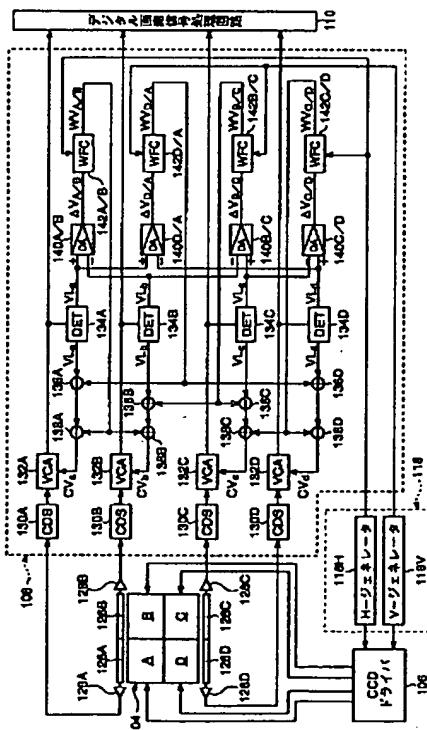
(74)代理人 弁理士 松浦 孝

(54)【発明の名称】画素信号処理装置

(57)【要約】

【課題】 CCD撮像センサ等の画像検出領域の互いに隣接する区分領域の境界を画像再生時に輝度差として現出させないようにする。

【解決手段】 画素信号処理装置は固体撮像センサ104の画像検出領域の第1及び第2の区分領域からの画素信号を処理する。画素信号読出し手段106は第1及び第2の区分領域から画素信号を一ラインずつ同時にかつ対応的に読み出し、このとき各ラインに含まれる画素信号のうちの先頭側の画素信号が第1及び第2の区分領域の境界から最も遠くに離れ、かつ各ラインに含まれる画素信号のうち最後続の画素信号が境界に最も近接するようになっており、信号レベル調節手段(132A等)は第1の区分領域からの画素信号のレベルと第2の区分領域からの対応画素信号のレベルとのレベル差を境界に向かって次第に減少させて双方のラインの最後続側の画素信号のレベルを互いに実質的に一致させる。



【特許請求の範囲】

【請求項 1】 固体撮像センサの画像検出領域の少なくとも 2 つの区分領域即ち第 1 の区分領域及び第 2 の区分領域からの画素信号を処理する画素信号処理装置であつて、

前記第 1 及び第 2 の区分領域から画素信号を一ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、各ラインに含まれる画素信号のうちの先頭側の画素信号が前記第 1 及び第 2 の区分領域の境界から最も遠くに離れ、かつ各ラインに含まれる画素信号のうち最後続の画素信号が前記境界に最も近接するようになっており、

更に、前記第 1 の区分領域からの各ラインの画素信号のレベルと前記第 2 の区分領域からの対応ラインの画素信号のレベルとのレベル差を前記境界に向かって次第に減少させて双方のラインの最後続側の画素信号のレベルを互いに実質的に一致させるように該レベル差を相関的に調整する信号レベル調整手段を具備して成る画素信号処理装置。

【請求項 2】 請求項 1 に記載の画素信号処理装置において、前記信号レベル調整手段が前記第 1 の区分領域からの画素信号のレベルを変更する第 1 の信号レベル変更手段と、

前記第 2 の区分領域からの画素信号のレベルを変更する第 2 の信号レベル変更手段と、

前記第 1 の信号レベル変更手段から出力された画素信号のレベルを検出する第 1 の信号レベル検出手段と、

前記第 2 の信号レベル変更手段から出力された画素信号のレベルを検出する第 2 の信号レベル検出手段と、

前記第 1 の信号レベル検出手段で検出された信号レベルと前記第 2 の信号レベル検出手段で検出された信号レベルとのレベル差を演算する信号レベル差演算手段と、

前記信号レベル差演算手段で得られたレベル差に対して、最小値から最大値まで変動するウエイト値を乗算するウエイト値乗算手段とを包含し、

前記第 1 の信号レベル変更手段による画素信号レベル変更と前記第 2 の信号レベル変更手段による画素信号レベル変更とが前記ウエイト値乗算手段によって得られた重み付けレベル差に基づいて相関的に行われ、これにより

前記第 1 の区分領域からの各ラインの画素信号のレベルと前記第 2 の区分領域からの対応ラインの画素信号のレベルとのレベル差が前記境界に向かって次第に減少させられることを特徴とする画素信号処理装置。

【請求項 3】 請求項 2 に記載の画素信号処理装置において、前記第 1 及び第 2 の信号レベル変更手段のそれぞれが第 1 の電圧制御アンプ及び第 2 の電圧制御アンプから成り、前記第 1 及び第 2 の電圧制御アンプのそれぞれの増幅率がそこに入力される制御電圧によって制御され、該制御電圧が前記重み付けレベル差に基づいて設定

されることを特徴とする画素信号処理装置。

【請求項 4】 請求項 3 に記載の画素信号処理装置において、前記第 1 の信号レベル検出手段が前記第 1 の区分領域からの画素信号の検出レベルとして電圧信号 ($V_{1_{out}}$) を出力し、前記第 2 の信号レベル検出手段が前記第 2 の区分領域からの画素信号の検出レベルとして電圧信号 ($V_{2_{out}}$) を出力し、前記信号レベル差演算手段が前記レベル差として前記第 1 のレベル検出手段から出力される電圧信号 ($V_{1_{out}}$) と前記第 2 のレベル検出手段から出力される電圧信号 ($V_{2_{out}}$) との差電圧 ($V_{1_{out}} - V_{2_{out}}$) を出力し、前記第 1 及び第 2 の電圧制御アンプのそれぞれの制御電圧 ($VC_{1_{out}}$ 及び $VC_{2_{out}}$) が以下の式によって決定されることを特徴とする画素信号処理装置。

$$VC_{1_{out}} = (1 - WF) V_{1_{out}} + WF * V_{2_{out}}$$

$$VC_{2_{out}} = (1 - WF) V_{2_{out}} + WF * V_{1_{out}}$$

ここで、WF は前記ウエイト値を示す ($0 \leq WF \leq 1$)。

【請求項 5】 請求項 1 から 4 までのいずれか 1 項に記載の画素信号処理装置において、前記固体撮像センサが少なくとも 2 つの小規模サイズの固体撮像素子を組み合わせることにより構成され、その 2 つの小規模サイズの固体撮像素子の画像検出領域がそれぞれ前記第 1 及び第 2 の区分領域に対応することを特徴とする画素信号処理装置。

【請求項 6】 固体撮像センサの画像検出領域の垂直方向に区分された 2 つの区分領域即ち第 1 の区分領域及び第 2 の区分領域のそれぞれに多数の画素信号をマトリックス配列状に発生させて該第 1 及び第 2 の区分領域からの画素信号を処理する画素信号処理装置であつて、

前記第 1 及び第 2 の区分領域のそれぞれで水平ラインの画素信号を垂直方向に順次転送し、次いで画素信号の先頭側水平ラインの画素信号を水平方向に順次転送することにより、画素信号を一水平ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、各水平ラインに含まれる画素信号のうちの先頭側の画素信号が前記第 1 及び第 2 の区分領域の垂直方向の境界から最も遠くに離れ、かつ各水平ラインに含まれる画素信号のうち最後続の画素信号が前記垂直方向の境界に最も近接するようになっており、

更に、前記第 1 の区分領域からの各水平ラインの画素信号のレベルと前記第 2 の区分領域からの対応水平ラインの画素信号のレベルとのレベル差を前記垂直方向の境界に向かって次第に減少させて双方の水平ラインの最後続の画素信号のレベルを互いに実質的に一致させるように該レベル差を相関的に調整する信号レベル調整手段を具備して成る画素信号処理装置。

【請求項 7】 請求項 6 に記載の画素信号処理装置において、前記信号レベル調整手段が前記第 1 の区分領域か

らの画素信号のレベルを変更する第1の信号レベル変更手段と、

前記第2の区分領域からの画素信号のレベルを変更する第2の信号レベル変更手段と、

前記第1の信号レベル変更手段から出力された画素信号のレベルを検出する第1の信号レベル検出手段と、

前記第2の信号レベル変更手段から出力された画素信号のレベルを検出する第2の信号レベル検出手段と、

前記第1の信号レベル検出手段で検出された信号レベルと前記第2の信号レベル検出手段で検出された信号レベル

10

とのレベル差を演算する信号レベル差演算手段と、前記信号レベル差演算手段で得られたレベル差に対して、最小値から最大値まで変動するウェイト値を乗算するウェイト値乗算手段とを包含し、

前記第1の信号レベル変更手段による画素信号レベル変更と前記第2の信号レベル変更手段による画素信号レベル変更とが前記ウェイト値乗算手段によって得られた重み付けレベル差に基づいて相関的に行われ、これにより前記第1の区分領域からの各水平ラインの画素信号のレベルと前記第2の区分領域からの対応水平ラインの画素信号のレベルとのレベル差が前記垂直方向の境界に向かって次第に減少させられることを特徴とする画素信号処理装置。

【請求項8】 請求項7に記載の画素信号処理装置において、前記第1及び第2の信号レベル変更手段のそれぞれが第1の電圧制御アンプ及び第2の電圧制御アンプから成り、前記第1及び第2の電圧制御アンプのそれぞれの増幅率がそこに入力される制御電圧によって制御され、該制御電圧が前記重み付けレベル差に基づいて設定されることを特徴とする画素信号処理装置。

【請求項9】 請求項8に記載の画素信号処理装置において、前記第1の信号レベル検出手段が前記第1の区分領域からの画素信号の検出レベルとして電圧信号(V_{1st})を出し、前記第2の信号レベル検出手段が前記第2の区分領域からの画素信号の検出レベルとして電圧信号(V_{2nd})を出し、前記信号レベル差演算手段が前記レベル差として前記第1のレベル検出手段から出力される電圧信号(V_{1st})と前記第2のレベル検出手段から出力される電圧信号(V_{2nd})との差電圧($V_{1st} - V_{2nd}$)を出し、前記第1及び第2の電圧制御アンプのそれぞれの制御電圧(VC_{1st} 及び VC_{2nd})が以下の式によって決定されることを特徴とする画素信号処理装置。

$$VC_{1st} = (1-WF) V_{1st} + WF * V_{2nd}$$

$$VC_{2nd} = (1-WF) V_{2nd} + WF * V_{1st}$$

ここで、WFは前記ウェイト値を示す(0 ≤ WF ≤ 1)。

【請求項10】 請求項6から9までのいずれか1項に記載の画素信号処理装置において、前記固体撮像センサが少なくとも2つの小規模サイズの固体撮像素子を組み

50

合わせることにより構成され、その2つの小規模サイズの固体撮像素子の画像検出領域がそれぞれ前記第1及び第2の区分領域に対応することを特徴とする画素信号処理装置。

【請求項11】 固体撮像センサの画像検出領域の水平方向に区分された2つの区分領域即ち第1の区分領域及び第2の区分領域のそれぞれに多数の画素信号をマトリックス配列状に発生させて該第1及び第2の区分領域からの画素信号を処理する画素信号処理装置であって、前記第1及び第2の区分領域のそれぞれで水平ラインの画素信号を垂直方向に順次転送し、次いで画素信号の先頭側水平ラインの画素信号を水平方向に順次転送することにより、画素信号を一水平ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、前記水平ラインが垂直方向に転送される際の先頭側水平ラインに含まれる画素信号が前記第1及び第2の区分領域の水平方向の境界から最も遠くに離れ、かつ前記水平ラインが垂直方向に転送される際の最後続側水平ラインに含まれる画素信号が前記水平方向の境界に最も近接するようになっており、

更に、前記第1の区分領域からの各水平ラインの画素信号のレベルと前記第2の区分領域からの対応水平ラインの画素信号のレベルとのレベル差を前記水平方向の境界に向かって次第に減少させて双方の最後続側水平ラインの画素信号のレベルを実質的に一致させるように該レベル差を相関的に調整する信号レベル調整手段を具備して成る画素信号処理装置。

【請求項12】 請求項11に記載の画素信号処理装置において、前記信号レベル調整手段が前記第1の区分領域からの画素信号のレベルを変更する第1の信号レベル変更手段と、

前記第2の区分領域からの画素信号のレベルを変更する第2の信号レベル変更手段と、

前記第1の信号レベル変更手段から出力された画素信号のレベルを検出する第1の信号レベル検出手段と、

前記第2の信号レベル変更手段から出力された画素信号のレベルを検出する第2の信号レベル検出手段と、

前記第1の信号レベル検出手段で検出された信号レベルと前記第2の信号レベル検出手段で検出された信号レベルとのレベル差を演算する信号レベル差演算手段と、

前記信号レベル差演算手段で得られたレベル差に対して、最小値から最大値まで変動するウェイト値を乗算するウェイト値乗算手段とを包含し、

前記第1の信号レベル変更手段による画素信号レベル変更と前記第2の信号レベル変更手段による画素信号レベル変更とが前記ウェイト値乗算手段によって得られた重み付けレベル差に基づいて相関的に行われ、これにより前記第1の区分領域からの各水平ラインの画素信号のレベルと前記第2の区分領域からの対応水平ラインの画素

信号のレベルとのレベル差が前記水平方向の境界に向かって次第に減少させられることを特徴とする画素信号処理装置。

【請求項13】 請求項12に記載の画素信号処理装置において、前記第1及び第2の信号レベル変更手段のそれぞれが第1の電圧制御アンプ及び第2の電圧制御アンプから成り、前記第1及び第2の電圧制御アンプのそれぞれの増幅率がそこに入力される制御電圧によって制御され、該制御電圧が前記重み付けレベル差に基づいて設定されることを特徴とする画素信号処理装置。

【請求項14】 請求項13に記載の画素信号処理装置において、前記第1の信号レベル検出手段が前記第1の区分領域からの画素信号の検出レベルとして電圧信号

(V_{1st}) を出し、前記第2の信号レベル検出手段が前記第2の区分領域からの画素信号の検出レベルとして電圧信号 (V_{2nd}) を出し、前記信号レベル差演算手段が前記レベル差として前記第1のレベル検出手段から出力される電圧信号 (V_{1st}) と前記第2のレベル検出手段から出力される電圧信号 (V_{2nd}) との差電圧 ($V_{1st} - V_{2nd}$) を出し、前記第1及び第2の電圧制御アンプのそれぞれの制御電圧 (VC_{1st} 及び VC_{2nd}) が以下の式によって決定されることを特徴とする画素信号処理装置。

$$VC_{1st} = (1 - WF) V_{1st} + WF * V_{2nd}$$

$$VC_{2nd} = (1 - WF) V_{2nd} + WF * V_{1st}$$

ここで、WFは前記ウエイト値を示す ($0 \leq WF \leq 1$)。

【請求項15】 請求項11から14までのいずれか1項に記載の画素信号処理装置において、前記固体撮像センサが少なくとも2つの小規模サイズの固体撮像素子を組み合わせることにより構成され、その2つの小規模サイズの固体撮像素子の画像検出領域がそれぞれ前記第1及び第2の区分領域に対応することを特徴とする画素信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、固体撮像センサを持つ電子ビデオカメラで用いられる画素信号処理装置に関し、一層詳しくは固体撮像センサの画像検出領域の区分領域から同時に読み出された画素信号を処理する画素信号処理装置に関する。

【0002】

【従来の技術】 電子ビデオカメラでは、光学的被写体像を一フレーム分の画素信号に光電変換するために、固体撮像センサ、例えばCCD(charge-coupled device)撮像センサが使用される。一フレーム分の画素信号はCCD撮像センサから読み出されて適宜画像処理された後にビデオ信号とされ、このビデオ信号に基づいて光学的被写体像が再現される。

【0003】

信号のレベルとのレベル差が前記水平方向の境界に向かって次第に減少させられることを特徴とする画素信号処理装置。

【0004】 一方、CCD素子の増大化にはCCD撮像センサからの画素信号の読み出しに時間が掛かるという問題が伴う。この問題を解決するために、CCD撮像センサの画像検出領域を垂直方向及び/又は水平方向に少なくとも2つの区分領域に区分し、それら区分領域から画素信号を同時に読み出し、それら画像信号を一フレーム分の画素信号に再構成することが提案されている。かくして、CCD撮像センサの画像検出領域からの画素信号の読み出し時間は短縮されることになる。

【0005】

【発明が解決しようとする課題】 それにも拘らず、CCD撮像センサの画像検出領域の区分領域から画素信号を読み出して一フレーム分の画素信号に再構成して光学的被写体像を再現した場合には、互いに隣接する2つの区分領域の境界が再現画像に輝度差として現れるという問題が生じ得る。というのは、互いに隣接する2つの区分領域の一方からの画素信号の平均輝度レベルはその他方の区分領域からの画素信号の平均輝度レベルが異なるからである。

【0006】 詳述すると、例えば、互いに隣接する2つの区分領域のそれぞれから読み出された画素信号は2つのアンプによって順次増幅され、このとき2つのアンプは当然同じ製品が用いられる事になるが、しかし2つのアンプがたとえ同じ製品であったとしても、その増幅特性が全く同じというわけではない。従って、互いに隣接する2つの区分領域のそれぞれから読み出された画素信号の平均輝度レベルが相違し、その結果、互いに隣接する2つの区分領域の境界が再現画像に輝度差として現れることになる。また、区分領域のそれぞれから読み出された画素信号がオートゲインコントローラ (AGC) によって処理される際にもそれぞれの区分領域からの画素信号の増幅率が異なることもあり、その場合にも互いに隣接する2つの区分領域の境界が再現画像に輝度差として現出する。

【0007】 更に、大規模サイズのCCD撮像センサの製造では、歩留りの向上のために、小規模サイズのCCD撮像センサを個別に製造した後に、それら小規模サイズのCCD撮像センサを組み合わせて大規模サイズのCCD撮像センサとすることが行われ、このとき大規模サイズのCCD撮像センサの画像検出領域は個々の小規模サイズのCCD撮像センサの画像検出領域、即ち区分領域から構成されることになる。勿論、このような場合で

も、小規模サイズの CCD 撮像センサの画像検出領域、即ち区分領域から画素信号が同時に読み出され、それら読み出しおよび画像信号が一フレーム分の画素信号として再構成される。小規模サイズの CCD 撮像センサの製造については同一製造条件で行われるが、しかし個々の小規模サイズの CCD 撮像センサの光電変換特性は互いに異なり得る。従って、このような場合にも、互いに隣接する 2 つの区分領域の境界が再現画像に輝度差として現れるという問題が伴う。

【0008】従って、本発明の目的は、固体撮像センサの画像検出領域の区分領域のそれぞれから同時に読み出された画素信号を処理して、互いに隣接する区分領域の境界を輝度差として再現画像に現出しないようにする画素信号処理装置を提供することである。

【0009】

【課題を解決するための手段】本発明の第 1 の局面による画素信号処理装置は固体撮像センサの画像検出領域の少なくとも 2 つの区分領域即ち第 1 の区分領域及び第 2 の区分領域からの画素信号を処理するためのものであって、第 1 及び第 2 の区分領域から画素信号を一ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、各ラインに含まれる画素信号のうちの先頭側の画素信号が第 1 及び第 2 の区分領域の境界から最も遠くに離れ、かつ各ラインに含まれる画素信号のうち最後続の画素信号が境界に最も近接するようになっており、更に、第 1 の区分領域からの各ラインの画素信号のレベルと第 2 の区分領域からの対応ラインの画素信号のレベルとのレベル差を上述の境界に向かって次第に減少させて双方のラインの最後続側の画素信号のレベルを互いに実質的に一致させるように該レベル差を相関的に調整する信号レベル調整手段を具備して成るものである。

【0010】信号レベル調整手段は第 1 の区分領域からの画素信号のレベルを変更する第 1 の信号レベル変更手段と、第 2 の区分領域からの画素信号のレベルを変更する第 2 の信号レベル変更手段と、第 1 の信号レベル変更手段から出力された画素信号のレベルを検出する第 1 の信号レベル検出手段と、第 2 の信号レベル変更手段から出力された画素信号のレベルを検出する第 2 の信号レベル検出手段と、第 1 の信号レベル検出手段で検出された信号レベルと第 2 の信号レベル検出手段で検出された信号レベルとのレベル差を演算する信号レベル差演算手段と、信号レベル差演算手段で得られたレベル差に対して、最小値から最大値までに変動するウエイト値を乗算するウエイト値乗算手段とを包含し得るものである。この場合、第 1 の信号レベル変更手段による画素信号レベル変更と第 2 の信号レベル変更手段による画素信号レベル変更とがウエイト値乗算手段によって得られた重み付けレベル差に基づいて相関的に行われ、これにより第 1

の区分領域からの各ラインの画素信号のレベルと第 2 の区分領域からの対応ラインの画素信号のレベルとのレベル差が上述の境界に向かって次第に減少させられる。

【0011】好ましくは、第 1 及び第 2 の信号レベル変更手段のそれぞれは第 1 の電圧制御アンプ及び第 2 の電圧制御アンプから成り、第 1 及び第 2 の電圧制御アンプのそれぞれの増幅率はそこに入力される制御電圧によって制御され、該制御電圧は重み付けレベル差に基づいて設定される。更に好ましくは、第 1 の信号レベル検出手段は第 1 の区分領域からの画素信号の検出レベルとして電圧信号 (V_{1st}) を出し、第 2 の信号レベル検出手段は第 2 の区分領域からの画素信号の検出レベルとして電圧信号 (V_{2nd}) を出し、信号レベル差演算手段は上述したレベル差として第 1 のレベル検出手段から出力される電圧信号 (V_{1st}) と第 2 のレベル検出手段から出力される電圧信号 (V_{2nd}) との差電圧 ($V_{1st} - V_{2nd}$) を出力する。このとき第 1 の電圧制御アンプ及び第 2 の電圧制御アンプのそれぞれの制御電圧 (V_{C1st} 及び V_{C2nd}) については以下の式によって決定することができる。

$$V_{C1st} = (1 - WF) V_{1st} + WF * V_{2nd}$$

$$V_{C2nd} = (1 - WF) V_{2nd} + WF * V_{1st}$$

ここで、WF はウエイト値を示す ($0 \leq WF \leq 1$)。

【0012】本発明の第 2 の局面による画素信号処理装置は固体撮像センサの画像検出領域の垂直方向に区分された 2 つの区分領域即ち第 1 の区分領域及び第 2 の区分領域のそれぞれに多数の画素信号をマトリックス配列状に発生させて該第 1 及び第 2 の区分領域からの画素信号を処理するためのものであって、第 1 及び第 2 の区分領域のそれぞれで水平ラインの画素信号を垂直方向に順次転送し、次いで画素信号の先頭側水平ラインの画素信号を水平方向に順次転送することにより、画素信号を一水平ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、各水平ラインに含まれる画素信号のうちの先頭側の画素信号が第 1 及び第 2 の区分領域の垂直方向の境界から最も遠くに離れ、かつ各水平ラインに含まれる画素信号のうち最後続の画素信号が該垂直方向の境界に最も近接するようになっており、更に、第 1 の区分領域からの各水平ラインの画素信号のレベルと第 2 の区分領域からの対応水平ラインの画素信号のレベルとのレベル差を上述の垂直方向の境界に向かって次第に減少させて双方の水平ラインの最後続の画素信号のレベルを互いに実質的に一致させるゆえに該レベル差を相関的に調整する信号レベル調整手段を具備して成るものである。

【0013】本発明の第 3 の局面による画素信号処理装置は固体撮像センサの画像検出領域の水平方向に区分された 2 つの区分領域即ち第 1 の区分領域及び第 2 の区分領域のそれぞれに多数の画素信号をマトリックス配列状

に発生させて該第1及び第2の区分領域からの画素信号を処理するためのものであって、第1及び第2の区分領域のそれぞれで水平ラインの画素信号を垂直方向に順次転送し、次いで画素信号の先頭側水平ラインの画素信号を水平方向に順次転送することにより、画素信号を一水平ラインずつ同時にかつ対応的に読み出す画素信号読出し手段を具備し、この画素信号読出し手段による画素信号の読出し態様については、水平ラインが垂直方向に転送される際の先頭側水平ラインに含まれる画素信号が第1及び第2の区分領域の水平方向の境界から最も遠くに離れ、かつ水平ラインが垂直方向に転送される際の最後続側水平ラインに含まれる画素信号が該水平方向の境界に最も近接するようになっており、更に、第1の区分領域からの各水平ラインの画素信号のレベルと第2の区分領域からの対応水平ラインの画素信号のレベルとのレベル差を上述の水平方向の境界に向かって次第に減少させて双方の最後続側水平ラインの画素信号を実質的に一致させるように該レベル差を相関的に調整する信号レベル調整手段を具備して成るものである。

【0014】本発明の第2及び第3の局面においても、信号レベル調整手段については本発明の第1の局面の場合と同様な態様で構成し得る。また、本発明のいずれの局面においても、固体撮像センサについては、少なくとも2つの小規模サイズの固体撮像素子を組み合わせることにより構成することが可能であり、この場合2つの小規模サイズの固体撮像素子の画像検出領域はそれぞれ第1及び第2の区分領域に対応することになる。

【0015】

【発明の実施の形態】次に、添付図面を参照して、本発明による画素信号処理装置の一実施形態について以下に説明する。

【0016】先ず、図1を参照すると、本発明を実施化した電子ビデオカメラのブロック図が示され、この電子ビデオカメラは撮影光学系102と、この撮影光学系102に組み合わされた固体撮像センサ即ちCCD撮像センサ104とを具備する。撮影光学系102によって撮られた光学的被写体像はCCD撮像センサ104の画像検出領域即ち受光領域に結像され、CCD撮像センサ104はその光学的被写体像を一フレーム分の画素信号に光電変換する。なお、本実施形態では、CCD撮像センサ104の画像検出領域は垂直方向及び水平方向に4つの区分領域に区分される。

【0017】CCD撮像センサ104の4つの区分領域からは画素信号がCCDドライバ106によって同時に順次読み出され、次いで画素信号処理回路108に対して出力される。なお、画素信号処理回路108は本発明に従って構成されるものであり、その機能の詳細については後述する。画素信号処理回路108で処理された画素信号はデジタル画素信号処理回路110に対して出力され、そこで画素信号は先ずデジタル画素信号に変換さ

10

20

30

40

50

れた後に、CCD撮像センサ104の4つの区分領域のそれぞれから由来するデジタル画素信号は一フレーム分の画素信号として再構成される。次いで、デジタル画素信号は種々の画像処理、例えばシェーディング補正処理、ガンマ補正処理等を受けた後に一時的にフレームメモリに順次格納される。

【0018】デジタル画素信号処理装置110のフレームメモリからは一水平ライン分の画素信号が順次読み出されてエンコーダ112に対して出力される。エンコーダ112はデジタル画素信号処理装置110から順次出力される一水平ライン分の画素信号に水平同期信号及び垂直同期信号等を附加して、例えば液晶タイプのTVモニタ装置114にビデオ信号として出力し、そこで光学的被写体像が該ビデオ信号に基づいて再現される。

【0019】図1に示すように、電子ビデオカメラにはシステムコントローラ116が設けられ、このシステムコントローラ116はその全体的な制御を行うべくマイクロコンピュータから構成され得る。例えば、システムコントローラ116はCCD撮像センサ104からの画素信号の読み出しをCCDドライバ106を介して制御する。また、システムコントローラ116はタイミングジェネレータ118を制御し、このタイミングジェネレータ118からは第1のクロックパルス及び第2のクロックパルスがCCDドライバ106及び画素信号処理回路108の双方に出力される。CCD撮像センサ104からの画素信号の読み出し及び画素信号処理回路108での画素信号の処理は後述するようにタイミングジェネレータ118から出力される第1のクロックパルス及び第2のクロックパルスに従って行われる。更に、システムコントローラ116は上述したような種々の画像処理を行うデジタル画素信号処理回路110も制御する。

【0020】電子ビデオカメラは、更に、ICメモリカード、フロッピディスク等の記録媒体120と、この記録媒体120を駆動するための記録媒体ドライバ122とを具備する。システムコントローラ116は記録媒体ドライバ122を駆動してデジタル画素信号を記録媒体120に書き込ませたり或いはそこからデジタル画素信号を読み出させたりする。

【0021】図2を参照すると、CCD撮像センサ104の画像検出領域の構成が概念的に図示される。同図に示すように、CCD撮像センサ104の画像検出領域は4つの区分領域A、B、C及びDに区分され、互いに隣接する2つの区分領域の境界がそれぞれ参照符号A/A、B/B、C/C、D/D及びD/Aで示される。各区画領域(A、B、C、D)には、100個のCCD素子が 10×10 のマトリックス状に配列される。即ち、各区画領域には、10個の垂直CCD素子配列が設けられ、各垂直CCD素子配列にはCCD素子(1、11、21、31、…91；2、21、22、32、…92；3、31、32、33、…93；…10、20、30、40…10

0) が含まれる。

【0022】なお、実際には、CCD撮像センサ104には膨大な数のCCD素子が含まれるが、ここでは説明の便宜上、CCD撮像センサ104には400個のCCD素子が含まれるものとしている。また、CCD撮像センサ104を小規模サイズのCCD撮像センサを組み合わせて構成することも可能であり、例えば41万個のCCD素子を持つ小規模サイズのCCD撮像センサを4つ組み合わせてCCD撮像センサ104を構成した場合には、そこには164万個のCCD素子が設けられることになる。

【0023】CCD素子のそれぞれにはフォトダイオードが含まれ、これらフォトダイオードによりCCD撮像センサ104の画像検出領域が形成される。各CCD素子はそのフォトダイオードに入射した光量に応じて発生した電荷を保持する。即ち、光学的被写体像がCCD撮像センサ104の画像検出領域に結像されると、個々のフォトダイオードは光学的被写体像の光強度分布に応じて電荷を発生し、その電荷が画素信号として個々のCCD素子によって保持される。

【0024】また、図2に示すように、CCD撮像センサ104の各区分領域(A、B、C、D)には10個の垂直転送CCD(124A、124B、124C、124D)が設けられ、これら垂直転送CCDは各区分領域で10個の垂直CCD素子配列にそれぞれ隣接して配置される。また、各区分領域(A、B、C、D)には水平転送CCD(126A、126B、126C、126D)が設けられ、そこには各区分領域の10個の垂直転送CCD(124A、124B、124C、124D)が接続される。各水平転送CCD(126A、126B、126C、126D)の出力端子にはアンプ(128A、128B、128C、128D)が接続され、これらアンプの出力端子は画素信号処理回路108に接続される。

【0025】CCD撮像センサ104からの画素信号の読み出し開始時、区分領域A、B、C及びDのそれぞれでは、各垂直CCD素子配列に保持された10個の画素信号(電荷)が図3の白抜き矢印で示すようにその隣接した垂直転送CCD(124A、124B、124C、124D)に同時にシフトされ、このような画素信号のシフト自体はCCDドライバ106によって制御される。

【0026】次いで、各垂直CCD素子配列からシフトされた10個の画素信号は図3の湾曲矢印で示すように垂直転送CCD(124A、124B、124C、124D)に沿って該当水平転送CCD(126A、126B、126C、126D)に向かって順次転送され、このような画素信号の垂直転送はタイミングジェネレータ118からCCDドライバ106に対して出力される第1のクロックパルス即ち垂直転送クロックパルスに従って行われる。即ち、タイミングジェネレータ118からCCDドライバ106に対して垂直転送クロックパルス

10

20

30

40

50

の1つが出力されると、水平転送CCD(126A、126B、126C、126D)はそれに対応した10個の垂直転送CCD(124A、124B、124C、124D)から一水平ライン分の10個の画素信号を得ことになる。

【0027】水平転送CCD(126A、126B、126C、126D)に保持された一水平ライン分の10個の画素信号はタイミングジェネレータ118からCCDドライバ106に対して出力される第2のクロックパルス即ち水平転送クロックパルスに従ってその該当アンプ(128A、128B、128C、128D)に順次転送される。即ち、タイミングジェネレータ118からCCDドライバ106に対して水平転送クロックパルスの1つが出力される度毎に、水平転送CCD(126A、126B、126C、126D)から画素信号が1つずつその該当アンプに対して出力される。

【0028】要するに、図2及び図3に示す例では、第2のクロックパルス即ち水平転送クロックパルスの周波数は第1のクロックパルス即ち垂直転送クロックパルスの周波数の10倍とされているので、CCD撮像センサ104の各区分領域(A、B、C、D)からは100個の画素信号がCCD素子の番号順に従って読み出されてその該当アンプ(128A、128B、128C、128D)に対して順次出力される。

【0029】図4を参照すると、CCD撮像センサ104と、CCDドライバ106と、画素信号処理回路108と、タイミングジェネレータ118との相関関係がブロック図として詳しく図示されている。

【0030】図4に示すように、タイミングジェネレータ118は垂直転送クロックパルス発生器118V及び水平転送クロックパルス発生器118Hが設けられ、垂直転送クロックパルス発生器118Vからは第1のクロックパルス即ち垂直転送パルスが出力され、水平転送クロックパルス発生器118Vからは第2のクロックパルス即ち垂直転送クロックパルスが出力される。クロックパルス発生器118Vから垂直転送クロックパルスがCCDドライバ106に出力されている間、CCDドライバ106からは一連の垂直転送指令信号がCCD撮像センサ104に対して出力され、これにより垂直転送CCD(124A、124B、124C、124D)に沿う画素信号の垂直転送が行われる。また、クロックパルス発生器118Hから水平転送クロックパルスがCCDドライバ106に出力されている間、CCDドライバ106からは水平転送指令信号がCCD撮像センサ104に対して出力され、これにより水平転送CCD(126A、126B、126C、126D)に沿う画素信号の水平転送が行われる。

【0031】図4に示すように、画素信号処理回路108には4つの相関二重サンプリング回路(CDS)130A、130B、130C及び130Dが設けられ、こ

れら相関二重サンプリング回路 130A、130B、130C 及び 130D のそれぞれはアンプ 128A、128B、128C 及び 128D の出力端子側に接続される。各アンプ (128A、128B、128C、128D) で増幅された画素信号がその該当相関二重サンプリング回路 (130A、130B、130C、130D) を通過するとき、該画像信号からはノイズ成分が除去される。

【0032】相関二重サンプリング回路 130A、130B、130C 及び 130D はそれらの出力端子で電圧制御アンプ (VCA) 132A、132B、132C 及び 132D にそれぞれ接続される。画素信号が各電圧制御アンプ (132A、132B、132C、132D) を通過するとき、該画素信号は所定の増幅率によって増幅され、その増幅率は該電圧制御アンプ (132A、132B、132C、132D) に入力される制御電圧の大きさに従って変化する。即ち、制御電圧の大きさが増大するにつれ、増幅率も増大する。なお、図4においては、電圧制御アンプ 132A、132B、132C 及び 132D のそれぞれに入力される制御電圧が CV_a、CV_b、CV_c 及び CV_d として示されている。

【0033】電圧制御アンプ 132A、132B、132C 及び 132D によって増幅された画素信号はデジタル画素信号処理回路 110 に対して出力され、そこで画素信号は上述したようにデジタル画素信号に変換される。既に述べたように、CCD撮像センサ 104 の区分領域 A、B、C 及び D のそれから由来するデジタル画素信号は信号は一フレーム分の画素信号として再構成され、次いで種々の画像処理を受けた後に一時的にフレームメモリに順次格納される。また、既に述べたように、デジタル画素信号処理装置 110 のフレームメモリからは一水平ライン分の画素信号が順次読み出されてエンコーダ 112 に対して出力され、エンコーダ 112 はデジタル画素信号処理装置 110 から順次出力される一水平ライン分の画素信号に水平同期信号及び垂直同期信号等を附加して、TVモニタ装置 114 にビデオ信号として出力し、そこで光学的被写体像が該ビデオ信号に基づいて再現される。

【0034】光学的被写体像が TVモニタ装置 114 で再現されたとき、その再現画像には区分領域 A、B、C 及び D 間の互いに隣接する境界 A/B、B/C、C/D 及び D/A が輝度差として現れ得る。というのは、互いに隣接する 2 つの区分領域の一方からの画素信号の平均輝度レベルはその他の区分領域からの画素信号の平均輝度レベルが異なるからである。

【0035】詳述すると、先に述べたように、アンプ 128A、128B、128C 及び 128D がたとえ同じ製品であったとしても、その増幅特性が全く同じというわけではない。同様に、相関二重サンプリング回路 130A、130B、130C 及び 130D もたとえ同じ製

品であったとしても、その特性が全く同じというわけではない。また、区分領域のそれから読み出された画素信号がオートゲインコントローラ (AGC) によって処理される際にもそれぞれの区分領域からの画素信号の増幅率は異なり得る。更に、CCD撮像センサ 104 が小規模サイズの CCD 撮像センサを互いに組み合わせることにより構成された場合には、個々の小規模サイズの CCD 撮像センサの光電変換特性は互いに異なり得る。従って、例えば、区分領域 A からの画素信号の平均輝度レベルと区分領域 B からの画素信号の平均輝度レベルとは互いに異なり得るので、互いに隣接する 2 つの区分領域の境界が再現画像に輝度差として現れる得る。

【0036】しかしながら、本発明によれば、電圧制御アンプ 132A、132B、132C 及び 132D のそれに入力される制御電圧 CV_a、CV_b、CV_c 及び CV_d を後述するような態様で適宜調整することにより、再現画像から境界 A/B、B/C、C/D 及び D/A の輝度差としての現出を排除することができる。

【0037】制御電圧 CV_a を適宜調整するために、画素信号処理回路 108 には信号レベル検出器 (DET) 134A、減算器 136A 及び減算器 138A が設けられ、これら構成要素は図4に示すように配置される。同様に、制御電圧 CV_b を適宜調整するために、画素信号処理回路 108 には信号レベル検出器 (DET) 134B、加算器 136B 及び加算器 138B が設けられ、これら構成要素は図4に示すように配置される。また、制御電圧 CV_c を適宜調整するために、画素信号処理回路 108 には信号レベル検出器 (DET) 134C、減算器 136C 及び加算器 138C が設けられ、これら構成要素は図4に示すように配置される。更に、制御電圧 CV_d を適宜調整するために、画素信号処理回路 108 には信号レベル検出器 (DET) 134D、加算器 136D 及び減算器 138D が設けられ、これら構成要素は図4に示すように配置される。更にまた、制御電圧 CV_a、CV_b、CV_c 及び CV_d を相関的に調整するために、画素信号処理回路 108 には、4つの差動アンプ (DA) 140A/B、140B/C、140C/D 及び 140D/A と、4つのウェイト値制御回路 (WF C) 142A/B、142B/C、142C/D 及び 142D/A とが設けられ、これら構成要素は図4に示すように配置される。

【0038】信号レベル検出器 134A は CCD 撮像センサ 108 の区分領域 A から得られる各々の画素信号の電圧レベルを検出し、その電圧レベルを表す電圧信号 VL_a が信号レベル検出器 134A から出力される。同様に、信号レベル検出器 134B は CCD 撮像センサ 108 の区分領域 B から得られる各々の画素信号の電圧レベルを検出し、その電圧レベルを表す電圧信号 VL_b が信号レベル検出器 134B から出力される。また、信号レベル検出器 134C は CCD 撮像センサ 108 の区分領域

域Cから得られる各々の画素信号の電圧レベルを検出し、その電圧レベルを表す電圧信号V_{Lc}が信号レベル検出器134Cから出力される。更に、信号レベル検出器134DはCCD撮像センサ108の区分領域Dから得られる各々の画素信号の電圧レベルを検出し、その電圧レベルを表す電圧信号V_{Ld}が信号レベル検出器134Dから出力される。

【0039】なお、信号レベル検出器134A、134B、134C及び134Dの各々は積分回路を包含し、各検出電圧信号(V_{La}、V_{Lb}、V_{Lc}、V_{Ld})は

平均電圧値として得られる。要するに、積分回路によ

り、各撮像信号(画素信号)から低周波成分の信号が抽出される。

【0040】信号レベル検出器134Aは差動アンプ140A/Bの非反転入力端子と差動アンプ140D/Aの非反転入力端子とに接続されたようになった出力端子を備える。即ち、検出電圧信号V_{La}は差動アンプ140A/B及び140D/Aの双方にそれぞれの非反転入力端子を通して入力される。信号レベル検出器134Bは差動アンプ140A/Bの反転入力端子と差動アンプ140B/Cの反転入力端子とに接続されたようになった出力端子を備える。即ち、検出電圧信号V_{Lb}は差動アンプ140A/B及び140B/Cの双方にそれぞれの反転入力端子を通して入力される。信号レベル検出器134Cは差動アンプ140B/Cの非反転入力端子と差動アンプ140C/Dの反転入力端子とに接続されたようになった出力端子を備える。即ち、検出電圧信号V_{Lc}は差動アンプ140B/Cにその非反転入力端子を通して入力されると共に差動アンプ及び140C/Dにその反転入力端子を通して入力される。信号レベル検出器134Dは差動アンプ140A/Bの反転入力端子と差動アンプ140C/Dの非反転入力端子とに接続されたようになった出力端子を備える。即ち、検出電圧信号V_{Ld}は差動アンプ140A/Bにその反転入力端子を通して入力されると共に差動アンプ及び140C/Dにその非反転入力端子を通して入力される。

【0041】差動アンプ140A/Bは検出電圧信号V_{La}及びV_{Lb}の差電圧ΔV_{a/b}をウェイト値制御回路142A/Bに対して出力する。差電圧ΔV_{a/b}は区分領域Aから得られる画素信号の電圧レベルと区分領域Bから得られる対応画素信号の電圧レベルとの間の電圧レベル差を表すものである。もし検出電圧信号V_{Lc}の電圧レベルが検出電圧信号V_{Ld}の電圧レベルよりも高ければ、差電圧ΔV_{a/b}は差動アンプ140A/Bから正電圧として出力され、一方もし検出電圧信号V_{Ld}の電圧レベルが検出電圧信号V_{Lc}の電圧レベルよりも低ければ、差電圧ΔV_{a/b}は差動アンプ140A/Bから負電圧として出力される。

【0042】差動アンプ140D/Aは検出電圧信号V_{Ld}及びV_{Lc}の差電圧ΔV_{b/c}をウェイト値制御回路

142D/Aに対して出力する。差電圧ΔV_{b/c}は区分領域Dから得られる画素信号の電圧レベルと区分領域Aから得られる対応画素信号の電圧レベルとの間の電圧レベル差を表すものである。もし検出電圧信号V_{Ld}の電圧レベルが検出電圧信号V_{Lc}の電圧レベルよりも低ければ、差電圧ΔV_{b/c}は差動アンプ140D/Aから正電圧として出力され、一方もし検出電圧信号V_{Lc}の電圧レベルが検出電圧信号V_{Ld}の電圧レベルよりも高ければ、差電圧ΔV_{b/c}は差動アンプ140D/Aから負電圧として出力される。

【0043】差動アンプ140B/Cは検出電圧信号V_{Lb}及びV_{Lc}の差電圧ΔV_{c/d}をウェイト値制御回路142B/Cに対して出力する。差電圧ΔV_{c/d}は区分領域Bから得られる画素信号の電圧レベルと区分領域Cから得られる対応画素信号の電圧レベルとの間の電圧レベル差を表すものである。もし検出電圧信号V_{Lb}の電圧レベルが検出電圧信号V_{Lc}の電圧レベルよりも低ければ、差電圧ΔV_{c/d}は差動アンプ140B/Cから正電圧として出力され、一方もし検出電圧信号V_{Lc}の電圧レベルが検出電圧信号V_{Lb}の電圧レベルよりも高ければ、差電圧ΔV_{c/d}は差動アンプ140B/Cから負電圧として出力される。

【0044】差動アンプ140C/Dは検出電圧信号V_{Lc}及びV_{Ld}の差電圧ΔV_{c/d}をウェイト値制御回路142C/Dに対して出力する。差電圧ΔV_{c/d}は区分領域Cから得られる画素信号の電圧レベルと区分領域Dから得られる対応画素信号の電圧レベルとの間の電圧レベル差を表すものである。もし検出電圧信号V_{Lc}の電圧レベルが検出電圧信号V_{Ld}の電圧レベルよりも低ければ、差電圧ΔV_{c/d}は差動アンプ140C/Dから正電圧として出力され、一方もし検出電圧信号V_{Ld}の電圧レベルが検出電圧信号V_{Lc}の電圧レベルよりも高ければ、差電圧ΔV_{c/d}は差動アンプ140C/Dから負電圧として出力される。

【0045】図5に示すように、参照符号142A/B及び142C/Dによって示されるウェイト値制御回路には、乗算器144H、ウェイト値出力器146H及びカウンタ148Hが設けられる。差電圧(ΔV_{a/b}、ΔV_{c/d})は乗算器144Hに入力され、そこで乗率即ちウェイト値(W_{a/b}、W_{c/d})で乗ぜられ、そのウェイト値(W_{a/b}、W_{c/d})はウェイト値出力器146Hから乗算器144Hに電圧信号として出力される。ウェイト値即ち電圧信号は(W_{a/b}、W_{c/d})はカウンタ148Hによって周期的に変化させられる。

【0046】詳述すると、カウンタ148Hはタイミングジェネレータ118の水平転送クロックパルス発生器118Hから出力される水平転送クロックパルスの数をカウントし、そのカウント数は10パルス毎にリセットされる。また、カウンタ148Hのカウント数が1だけ加算される度毎に、カウンタ148Hはウェイト値出力指

令信号をウェイト値出力器 146H に出力する。カウンタ 148H によって 10 パルスがカウントされる間、カウンタ 148H からウェイト値出力指令信号がウェイト値出力器 146H に対して出力される度毎に、ウェイト値出力器 146H から乗算器 144H に出力されるウェイト値 ($W_{t/b}$, $W_{c/d}$) は図 6 に示すような特性曲線に従って次第に増大する。同図の特性曲線から明らかなように、カウンタ 148H のカウント数が 1 であるとき、ウェイト値 ($W_{t/b}$, $W_{c/d}$) は零とされ、カウンタ 148H のカウント数が 10 のとき、ウェイト値 ($W_{t/b}$, $W_{c/d}$) は 1 とされる。

【0047】即ち、例えば、区分領域 A からの一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_a} と区分領域 B からの対応一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_b} との入力により差動アンプ 140A/B から出力される 10 個の差電圧 $\Delta V_{t/b}$ は図 6 の特性曲線に従って次第に増大するウェイト値 $W_{t/b}$ によって順次乗せられ、その乗算結果はウェイト値制御回路 142A/B から重み付け電圧信号 $WV_{t/b}$ として順次出力される。

【0048】また、区分領域 C からの一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_c} と区分領域 D からの対応一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_d} との入力により差動アンプ 140C/D から出力される 10 個の差電圧 $\Delta V_{c/d}$ についても同様なことが言える。即ち、かかる 10 個の差電圧 $\Delta V_{c/d}$ は図 6 の特性曲線に従って次第に増大するウェイト値 $W_{c/d}$ によって順次乗せられ、その乗算結果はウェイト値制御回路 142C/D から重み付け電圧信号 $WV_{c/d}$ として順次出力される。

【0049】図 7 に示すように、参照符号 142D/A 及び 142B/C によって示されるウェイト値制御回路にも、図 5 に示すウェイト値制御回路 (142A/B, 142C/D) と同様に、乗算器 144V、ウェイト値出力器 146V 及びカウンタ 148V が設けられる。差電圧 ($\Delta V_{b/a}$, $\Delta V_{b/c}$) は乗算器 144V に入力され、そこで乗率即ちウェイト値 ($W_{b/a}$, $W_{b/c}$) で乗せられ、そのウェイト値 ($W_{b/a}$, $W_{b/c}$) はウェイト値出力器 146V から乗算器 144V に電圧信号として出力される。ウェイト値即ち電圧信号は ($W_{b/a}$, $W_{b/c}$) はカウンタ 148V によって周期的に変化せられる。

【0050】詳述すると、カウンタ 148V はタイミングジェネレータ 118 の垂直転送クロックパルス発生器 118V から出力される垂直転送クロックパルスの数をカウントし、そのカウント数は 10 パルス毎にリセットされる。また、カウンタ 148V のカウント数が 1 だけ加算される度毎に、カウンタ 148V はウェイト値出力指令信号をウェイト値出力器 146V に出力する。カウンタ 148V によって 10 パルスがカウントされる間、カウ

10

20

30

40

50

ンタ 148V からウェイト値出力指令信号がウェイト値出力器 146V に対して出力される度毎に、ウェイト値出力器 146V から乗算器 144V に出力されるウェイト値 ($W_{b/a}$, $W_{b/c}$) は図 6 に示すような特性曲線に従って次第に増大する。同図の特性曲線から明らかのように、カウンタ 148V のカウント数が 1 であるとき、ウェイト値 ($W_{b/a}$, $W_{b/c}$) は零とされ、カウンタ 148V のカウント数が 10 のとき、ウェイト値 ($W_{b/a}$, $W_{b/c}$) は 1 とされる。

【0051】即ち、例えば、区分領域 D からの一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_a} と区分領域 A からの対応一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_b} との入力により差動アンプ 140D/A から出力される 10 個の差電圧 $\Delta V_{b/a}$ については、垂直転送クロックパルスの周波数が水平転送クロックパルスの周波数の十分の一となっているために、カウンタ 148V のカウント数に応じた同一のウェイト値 $W_{b/a}$ によって順次乗せられ、その乗算結果はウェイト値制御回路 142D/A から重み付け電圧信号 $WV_{b/a}$ として順次出力される。勿論、かかる同一のウェイト値 $W_{b/a}$ による 10 個の差電圧 $\Delta V_{b/a}$ の乗算が行われる度毎に、該ウェイト値 $W_{b/a}$ は次第に増大されることになる。

【0052】また、区分領域 B からの一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_b} と区分領域 C からの対応一水平ラインに含まれる 10 個の画素信号から得られる検出電圧信号 V_{L_c} との入力により差動アンプ 140B/C から出力される 10 個の差電圧 $\Delta V_{b/c}$ についても同様なことが言える。即ち、かかる 10 個の差電圧 $\Delta V_{b/c}$ は同一のウェイト値 $W_{b/c}$ によって順次乗せられ、その乗算結果はウェイト値制御回路 142B/C から重み付け電圧信号 $WV_{b/c}$ として順次出力される。

【0053】図 4 から明らかのように、ウェイト値制御回路 142A/B から出力された重み付け電圧信号 $WV_{t/b}$ は減算器 138A 及び加算器 138B に入力され、またウェイト制御回路 142C/D から出力された重み付け電圧信号 $WV_{c/d}$ は加算器 138C 及び減算器 138D に入力される。また、ウェイト制御回路 142D/A から出力された重み付け電圧信号 $WV_{b/a}$ は減算器 136A 及び加算器 136D に入力され、またウェイト制御回路 142B/C から出力された重み付け電圧信号 $WV_{b/c}$ は加算器 136B 及び減算器 136C に入力される。

【0054】以上に述べたような構成により、電圧制御アンプ 132A, 132B, 132C 及び 132D のそれぞれに入力されるべき制御電圧 CV_a , CV_b , CV_c 及び CV_d が適宜調整されて、再現画像から境界 A/B, B/C, C/D 及び D/A の輝度差としての現出を排除することができる。

【0055】例えば、図4に示すように、信号レベル検出器134Aによって検出された検出電圧信号 V_{L_d} が差動アンプ140D/Aに対して出力されるとき、該検出電圧信号 V_{L_d} は同時に減算器136Aに対しても出力される。かくして、減算器136Aでは、ウェイト値制御回路142D/Aから出力される対応重み付け電圧信号 $WV_{D/A}$ が検出電圧信号 V_{L_d} から減算される。一方、信号レベル検出器134Dによって検出された検出電圧信号 V_{L_d} が差動アンプ140D/Aに対して出力されるとき、該検出電圧信号 V_{L_d} は同時に加算器136Dに対しても出力される。かくして、加算器136Dでは、ウェイト値制御回路142D/Aから出力される対応重み付け電圧信号 $WV_{D/A}$ が検出電圧信号 V_{L_d} に加算される。

【0056】もし $V_{L_d} > V_{L_a}$ であれば、重み付け信号電圧 $WV_{D/A}$ はウェイト値制御回路142D/Aから正電圧として出力される。従って、減算器136Aに対する正電圧としての重み付け電圧信号 $WV_{D/A}$ の入力のために、検出電圧信号 V_{L_d} の電圧レベルは重み付け電圧信号 $WV_{D/A}$ の分だけ低減され、この低減された電圧信号は制御電圧 CV_a として電圧制御アンプ132Aに入力される。かくして、電圧制御アンプ132Aの増幅率は低下させられ、そこを通る画素信号（区分領域A）の電圧レベルはその分だけ低くなる。一方、加算器136Dに対する正電圧としての重み付け電圧信号 $WV_{D/A}$ の入力のために、検出電圧信号 V_{L_d} の電圧レベルは重み付け電圧信号 $WV_{D/A}$ の分だけ増大され、この増大された電圧信号は制御電圧 CV_d として電圧制御アンプ132Dに入力される。かくして、電圧制御アンプ132Dの増幅率は上昇させられ、そこを通る画素信号（区分領域D）の電圧レベルはその分だけ高くなる。

【0057】上述した場合とは反対に、もし $V_{L_d} < V_{L_a}$ であるとすると、重み付け信号電圧 $WV_{D/A}$ はウェイト値制御回路142D/Aから負電圧として出力される。従って、減算器136Aに対する負電圧としての重み付け電圧信号 $WV_{D/A}$ の入力のために、検出電圧信号 V_{L_d} の電圧レベルは重み付け電圧信号 $WV_{D/A}$ の分だけ増大され、この増大された電圧信号は制御電圧 CV_a として電圧制御アンプ132Aに入力される。かくして、電圧制御アンプ132Aの増幅率は上昇させられ、そこを通る画素信号（区分領域A）の電圧レベルはその分だけ高くなる。一方、加算器136Dに対する負電圧としての重み付け電圧信号 $WV_{D/A}$ の入力のために、検出電圧信号 V_{L_d} の電圧レベルは減少され、この減少された電圧信号は制御電圧 CV_d として電圧制御アンプ132Dに入力される。かくして、電圧制御アンプ132Dの増幅率は低下させられ、そこを通る画素信号（区分領域D）の電圧レベルはその分だけ低くなる。

【0058】ところで、上述したような制御電圧 CV_a 及び CV_d の調整については、区分領域Dからの一水平

ラインに含まれる10個の画素信号から得られる検出電圧信号 V_{L_d} と区分領域Aからの対応一水平ラインに含まれる10個の画素信号から得られる検出電圧信号 V_{L_a} と関連しては実質的に等価なものとなる。というのは、それら検出電圧信号 V_{L_d} 及び V_{L_a} の入力により差動アンプ140D/Aから出力される10個の差電圧 $\Delta V_{D/A}$ が上述したようにカウンタ148Hのカウント数に応じた同一のウェイト値 $W_{D/A}$ によって乗せられるからである。

【0059】ここで重要なことは、ウェイト値 $W_{D/A}$ が次第に1に近づくにつれて、制御電圧 CV_a 及び CV_d の調整幅が大きくなるということである。即ち、区分領域Dと区分領域Aとのそれぞれから得られる互いに対応した画素信号が境界D/Aに次第に近づくにつれて、その互いに対応した画素信号の電圧レベル差が次第に零に近づくということである。かくして、区分領域Dで91、92、93、…98、99及び100でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルと区分領域Aで91、92、93、…98、99及び100でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベル差は実質的に零となり、再現画像に境界D/Aが輝度差として現れることはない。というのは、そのときのウェイト値 $W_{D/A}$ は1となっているからである。なお、区分領域Dで1、2、3、…8、9及び10でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルと区分領域Aで1、2、3、…8、9及び10でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルとの間の電圧レベル差については調整されない（ウェイト値 $W_{D/A} = 0$ ）。

【0060】要するに、制御電圧 CV_a 及び CV_d の調整については以下の式に示すように行われる。

$$\begin{aligned} CV_a &= V_{L_a} - W_{D/A} * \Delta V_{D/A} \\ &= V_{L_a} - W_{D/A} (V_{L_a} - V_{L_d}) \\ &= (1 - W_{D/A}) V_{L_a} + W_{D/A} * V_{L_d} \\ CV_d &= V_{L_d} - W_{D/A} * \Delta V_{D/A} \\ &= V_{L_d} - W_{D/A} (V_{L_a} - V_{L_d}) \\ &= (1 - W_{D/A}) V_{L_d} + W_{D/A} * V_{L_a} \end{aligned}$$

ここで、 $0 \leq W_{D/A} \leq 1$

【0061】勿論、同様なことは区分領域Bからの画素信号と区分領域Cからの画素信号との間の関係についても言えることである。即ち、制御電圧 CV_b 及び CV_c の調整については以下の式に示すように行われる。

$$\begin{aligned} CV_b &= V_{L_b} - W_{B/C} * \Delta V_{B/C} \\ &= V_{L_b} - W_{B/C} (V_{L_b} - V_{L_d}) \\ &= (1 - W_{B/C}) V_{L_b} + W_{B/C} * V_{L_d} \\ CV_c &= V_{L_d} - W_{B/C} * \Delta V_{B/C} \\ &= V_{L_d} - W_{B/C} (V_{L_b} - V_{L_d}) \\ &= (1 - W_{B/C}) V_{L_d} + W_{B/C} * V_{L_b} \end{aligned}$$

ここで、 $0 \leq W_{B/C} \leq 1$

【0062】また、図4に示すように、信号レベル検出器134Aによって検出された検出電圧信号VL_aが差動アンプ140A/Bに対して出力されるとき、該検出電圧信号VL_aは同時に減算器138Aに対しても出力される。従って、減算器138Aでは、ウエイト値制御回路142A/Bから出力される対応重み付け電圧信号WV_{A/B}が検出電圧信号VL_aから減算される。一方、信号レベル検出器134Bによって検出された検出電圧信号VL_bが差動アンプ140A/Bに対して出力されるとき、該検出電圧信号VL_bは同時に加算器138Bに対しても出力される。従って、加算器138Bでは、ウエイト値制御回路142A/Bから出力される対応重み付け電圧信号WV_{A/B}が検出電圧信号VL_bに加算される。

【0063】もしVL_a > VL_bであれば、重み付け信号電圧WV_{A/B}はウエイト値制御回路142A/Bから正電圧として出力される。従って、減算器138Aに対する正電圧としての重み付け電圧信号WV_{A/B}の入力のために、検出電圧信号VL_aの電圧レベルは重み付け電圧信号WV_{A/B}の分だけ低減され、この低減された電圧信号は制御電圧CV_aとして電圧制御アンプ132Aに入力される。かくして、電圧制御アンプ132Aの増幅率は低下させられ、そこを通る画素信号（区分領域A）の電圧レベルはその分だけ低くなる。一方、加算器138Bに対する正電圧としての重み付け電圧信号WV_{A/B}の入力のために、検出電圧信号VL_bの電圧レベルは重み付け電圧信号WV_{A/B}の分だけ増大され、この増大された電圧信号は制御電圧CV_bとして電圧制御アンプ132Bに入力される。かくして、電圧制御アンプ132Bの増幅率は上昇させられ、そこを通る画素信号（区分領域B）の電圧レベルはその分だけ高くなる。

【0064】上述した場合とは反対に、もしVL_a < VL_bであるとすると、重み付け信号電圧WV_{A/B}はウエイト値制御回路142A/Bから負電圧として出力される。従って、減算器138Aに対する負電圧としての重み付け電圧信号WV_{A/B}の入力のために、検出電圧信号VL_aの電圧レベルは重み付け電圧信号WV_{A/B}の分だけ増大され、この増大された電圧信号は制御電圧CV_aとして電圧制御アンプ132Aに入力される。かくして、電圧制御アンプ132Aの増幅率は上昇させられ、そこを通る画素信号（区分領域A）の電圧レベルはその分だけ高くなる。一方、加算器138Bに対する負電圧としての重み付け電圧信号WV_{A/B}の入力のために、検出電圧信号VL_bの電圧レベルは減少され、この減少された電圧信号は制御電圧CV_bとして電圧制御アンプ132Bに入力される。かくして、電圧制御アンプ132Bの増幅率は低下させられ、そこを通る画素信号（区分領域B）の電圧レベルはその分だけ低くなる。

【0065】上述したような制御電圧CV_a及びCV_bの調整については、区分領域Aからの一水平ラインに含

10

20

30

40

50

まれる10個の画素信号から得られる検出電圧信号VL_dと区分領域Bからの対応一水平ラインに含まれる10個の画素信号から得られる検出電圧信号VL_eとに関して、その間の電圧レベル差が次第に小さくなるように行われる。即ち、区分領域Aと区分領域Bとのそれぞれから得られる互いに対応した一水平ラインに含まれる10個の画素信号が境界A/Bに次第に近づくにつれて、その間の電圧レベル差が次第に零に近づくことになる。かくして、区分領域Aで10、20、30、…80、90及び100でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルと区分領域Bで10、20、30、…80、90及び100でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルとの間の電圧レベル差は実質的に零となり、再現画像に境界A/Bが輝度差として現れる事はない。というのは、そのときのウエイト値W_{D/A}は1となっているからである。なお、区分領域Aで1、11、21、…71、81及び91でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルと区分領域Aで1、11、21、…71、81及び91でもって番号付けされたCCD素子から得られる10個の画素信号の電圧レベルとの間の電圧レベル差については調整されない（ウエイトW_{D/A} = 0）。

【0066】要するに、制御電圧CV_a及びCV_bの調整については以下の式に示すように行われる。

$$\begin{aligned} CV_a &= VL_a - W_{A/B} * \Delta V_{A/B} \\ &= VL_a - W_{A/B} (VL_a - VL_b) \\ &= (1 - W_{A/B}) VL_a + W_{A/B} * VL_b \\ CV_b &= VL_b - W_{A/B} * \Delta V_{A/B} \\ &= VL_b - W_{A/B} (VL_a - VL_b) \\ &= (1 - W_{A/B}) VL_b + W_{A/B} * VL_a \end{aligned}$$

ここで、 $0 \leq W_{A/B} \leq 1$

【0067】勿論、同様なことは区分領域Cからの画素信号と区分領域Dからの画素信号との間の関係についても言えることである。即ち、制御電圧CV_c及びCV_dの調整については以下の式に示すように行われる。

$$\begin{aligned} CV_c &= VL_c - W_{c/d} * \Delta V_{c/d} \\ &= VL_c - W_{c/d} (VL_d - VL_c) \\ &= (1 - W_{c/d}) VL_c + W_{c/d} * VL_d \\ CV_d &= VL_d - W_{c/d} * \Delta V_{c/d} \\ &= VL_d - W_{c/d} (VL_d - VL_c) \\ &= (1 - W_{c/d}) VL_d + W_{c/d} * VL_c \end{aligned}$$

ここで、 $0 \leq W_{c/d} \leq 1$

【0068】

【発明の効果】以上の記載から明らかなように、本発明によれば、大規模サイズの固体撮像センサからの画素信号の読み出し時間を短縮化するためにその画像検出領域の複数の区分領域から同時に読み出して画像再現を行っても、互いに隣接する区分領域の境界を輝度差として再現画像に現出しないようにすることができるので、高品位

の画像再現が可能となる。

【図面の簡単な説明】

【図1】本発明による画素信号処理回路を備えた電子ビデオカメラの概略ブロック図である。

【図2】図1に示したCCD撮像センサを示す概念的ブロック図である。

【図3】図2の一部を拡大して示す部分拡大図である。

【図4】本発明による画素信号処理回路の詳細ブロック図であって、その画素信号処理回路をCCD撮像センサ、CCDドライバ及びタイミングジェネレータと共に

【符号の説明】

104 CCD撮像センサ

106 CCDドライバ

108 画素信号処理回路

110 デジタル画素信号処理回路

118 タイミングジェネレータ

118V 垂直転送クロックパルス発生器

118H 水平転送クロックパルス発生器

132A・132B 電圧制御アンプ

132C・132D 電圧制御アンプ

134A・134B 信号レベル検出器

134C・134D 信号レベル検出器

132A/B・132B/C 差動アンプ

132C/D・132D/A 差動アンプ

140A/B・140B/C ウエイト値制御回路

140C/D・140D/A ウエイト値制御回路

10

示す図である。

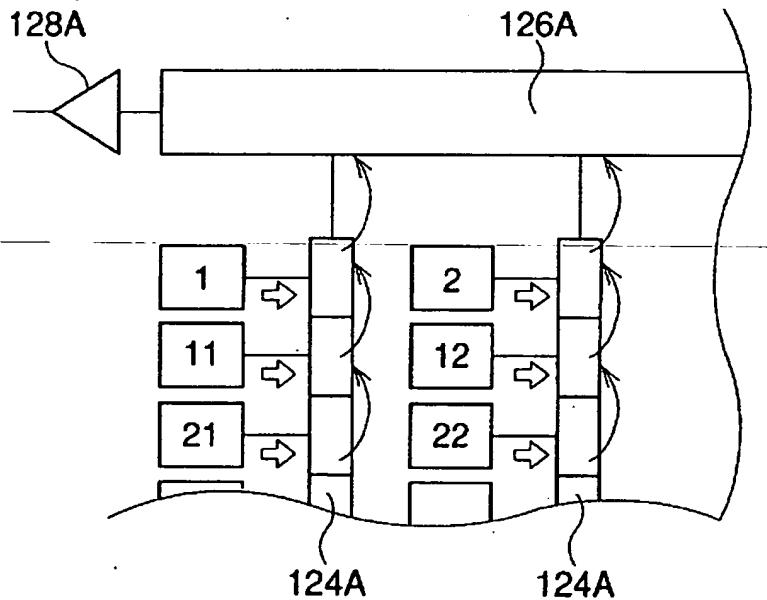
【図5】図4に示したウェイト値制御回路の詳細ブロ

ク図である。

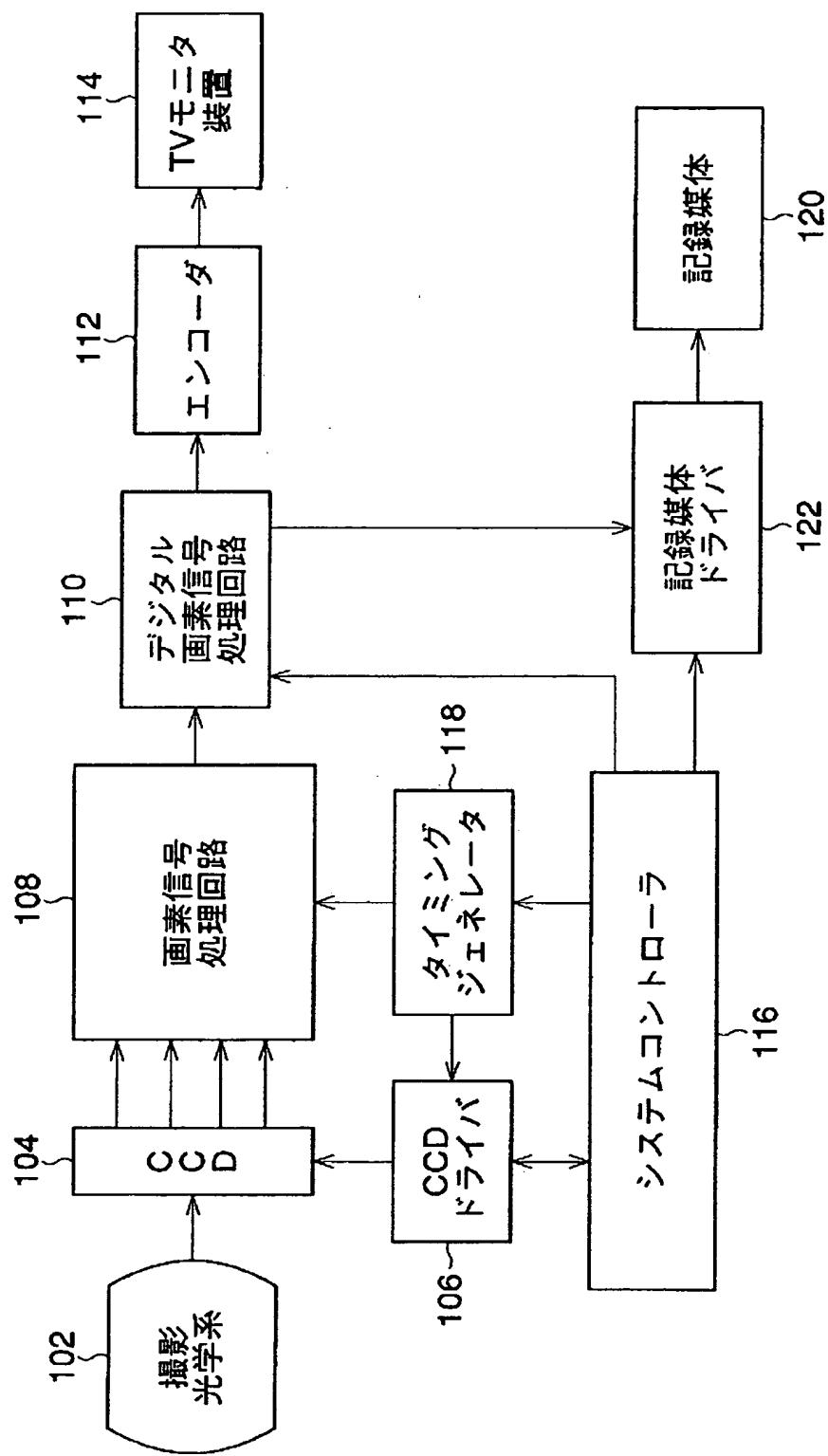
【図6】図5のウェイト値制御回路のウェイト値乗算器で用いられるウェイト値の変化特性曲線を示すグラフである。

【図7】図4に示した別のタイプのウェイト値制御回路の詳細ブロック図である。

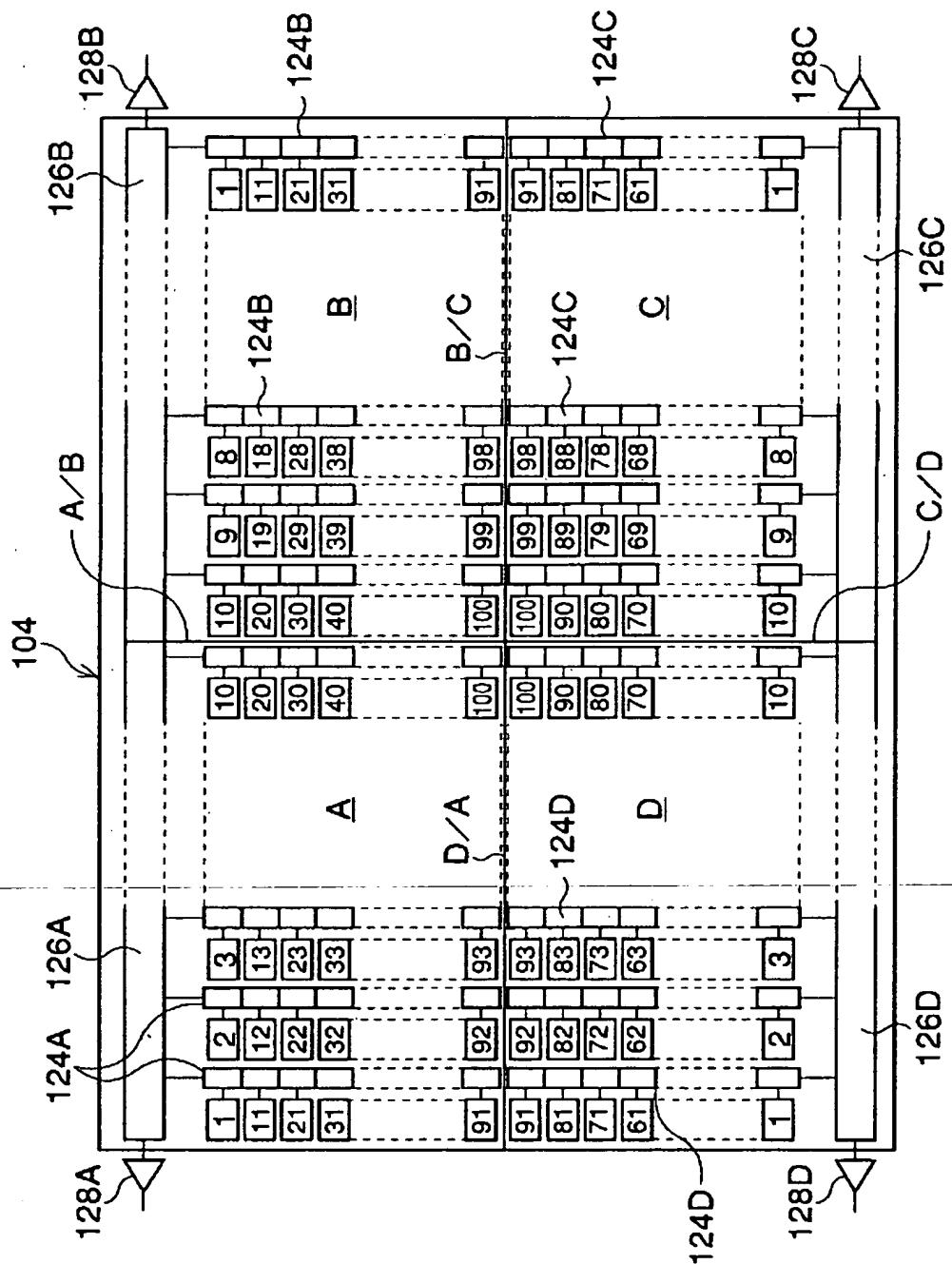
【図3】



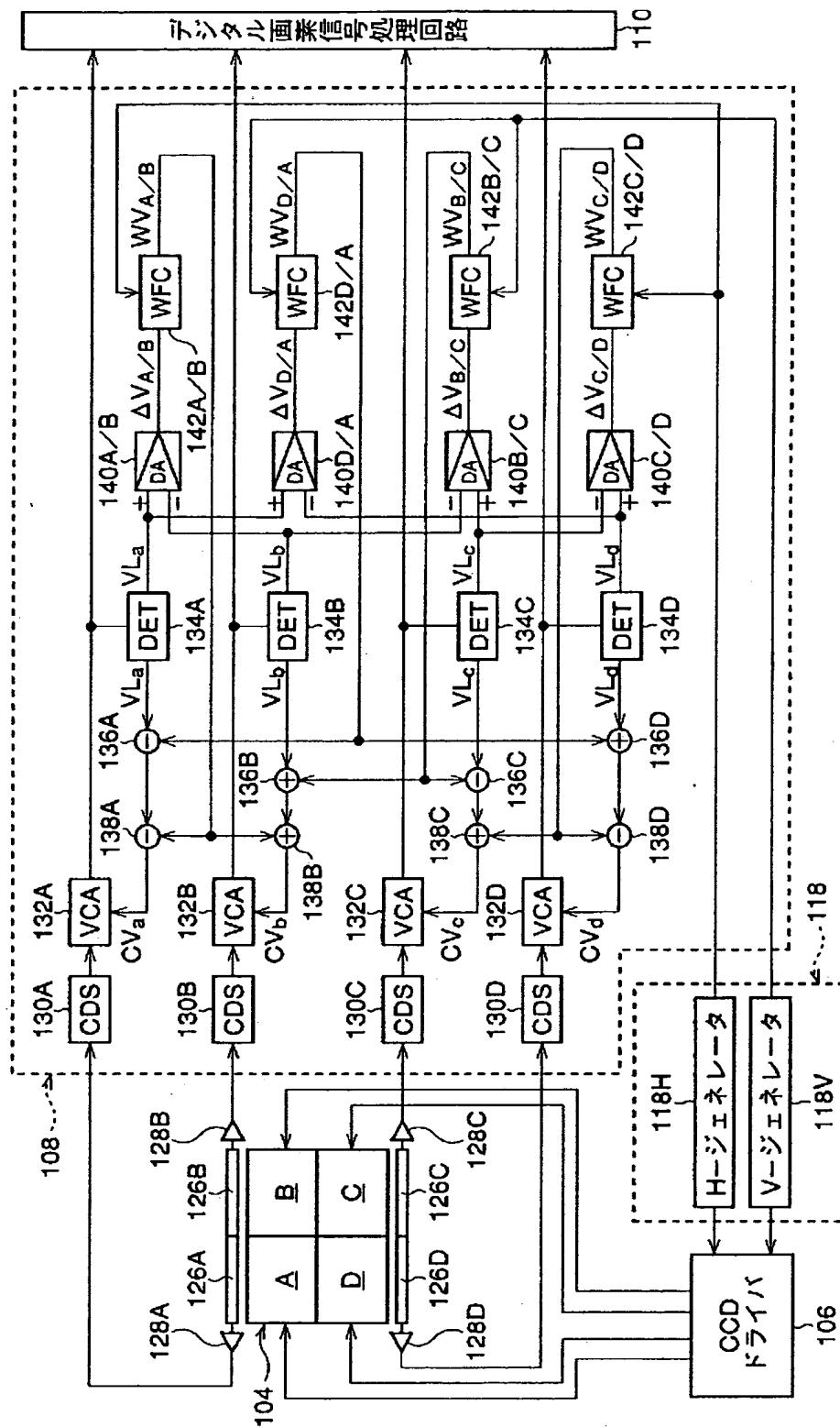
【図 1】



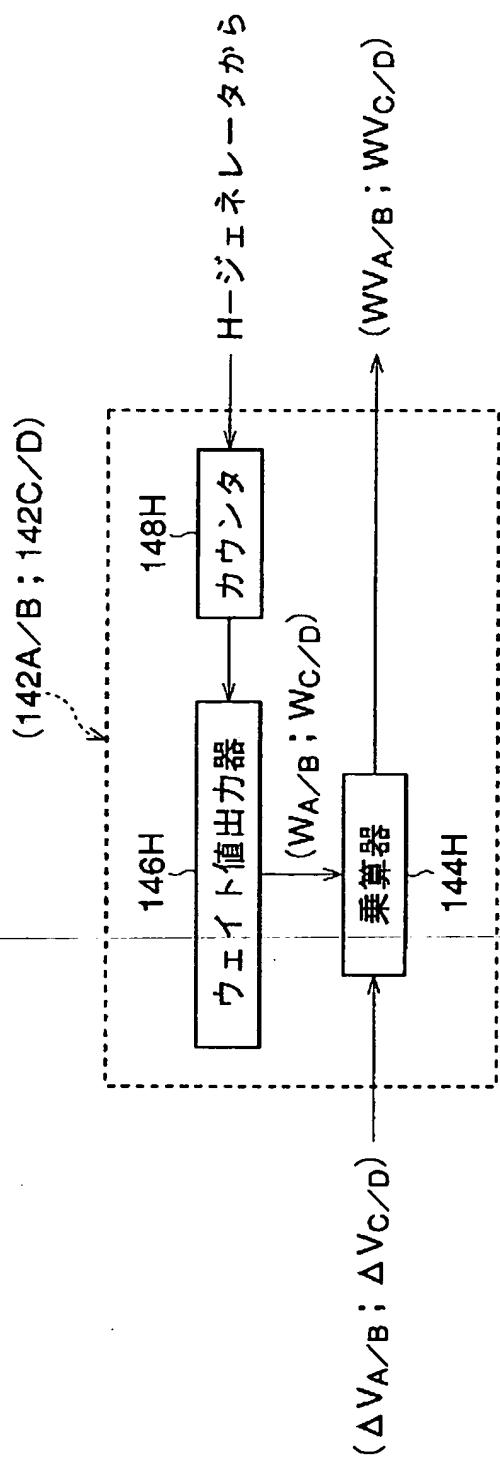
【図 2】



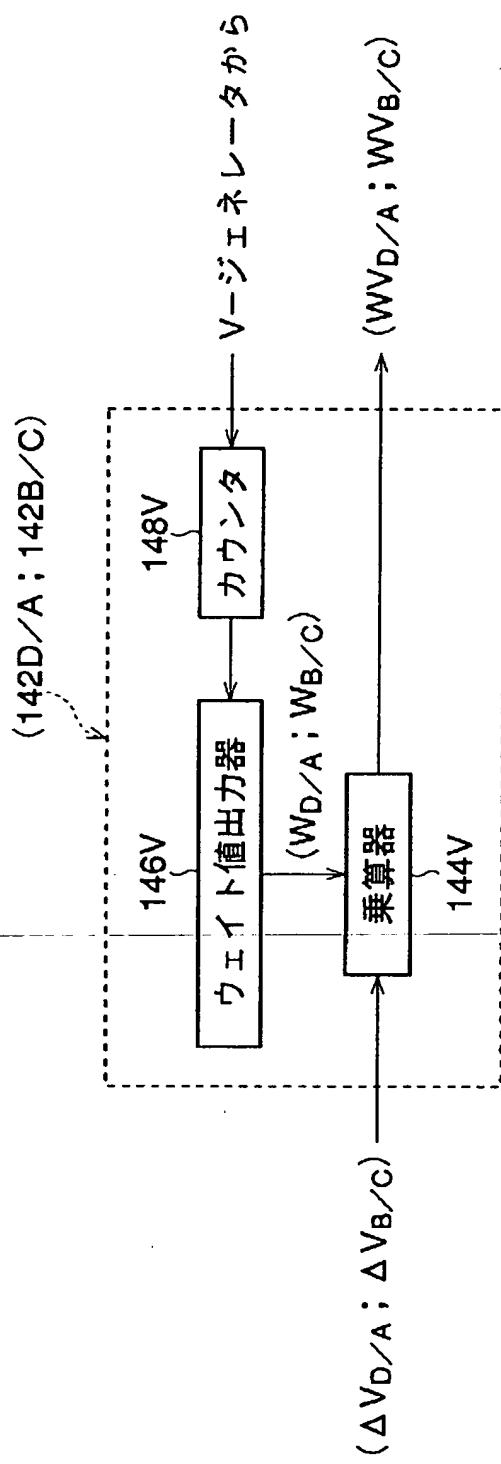
【図 4】



【図 5】



【図 7】



【図 6】

